Sampler Design

김호윤

1. 다음 spec을 만족하는 Strong Arm latch를 설계하시오.

- Process: GPDK090

- Loading capacitance: 8fF (추후에 R/S latch를 설계할 경우, R/S latch의 입력 loading capacitance로 대체)

- VDD = 1.0V

- Operating frequency = 5GHz

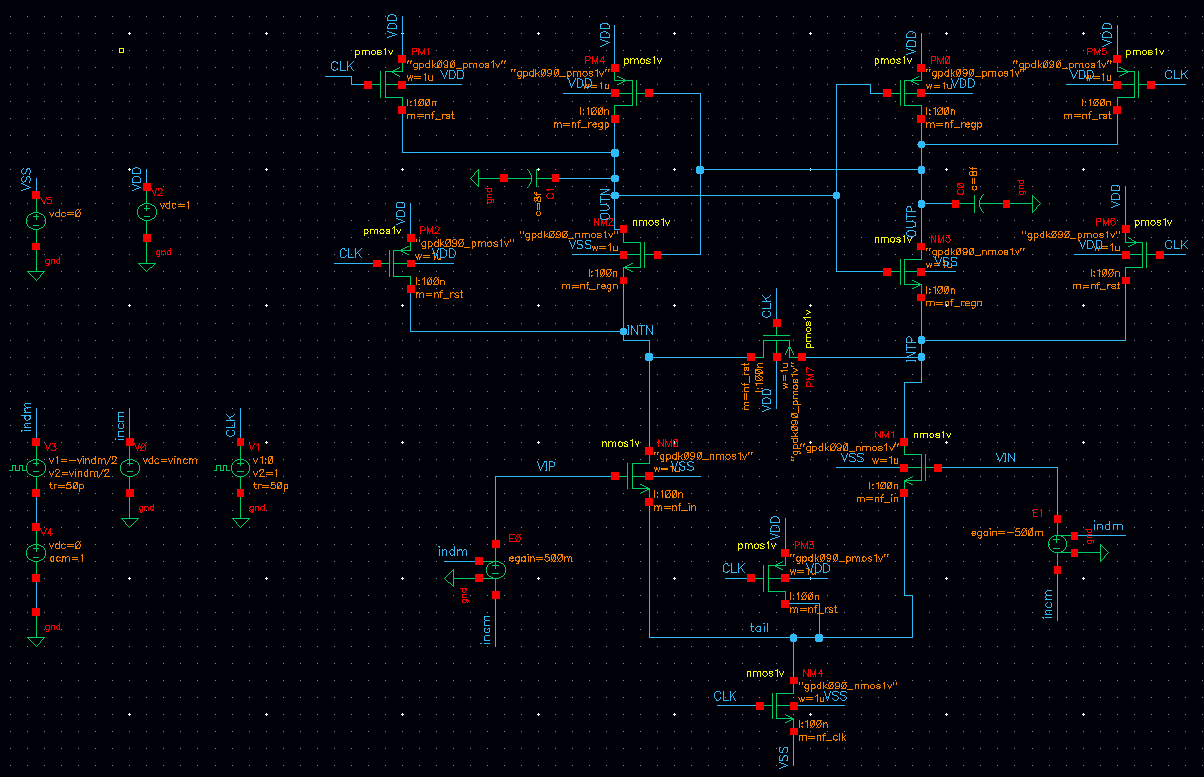
- minimum differential input range: 20mV

- maximum differential input range: 설계한 CTLE에 의해 결정

- common input range: 설계한 CTLE에 의해 결정

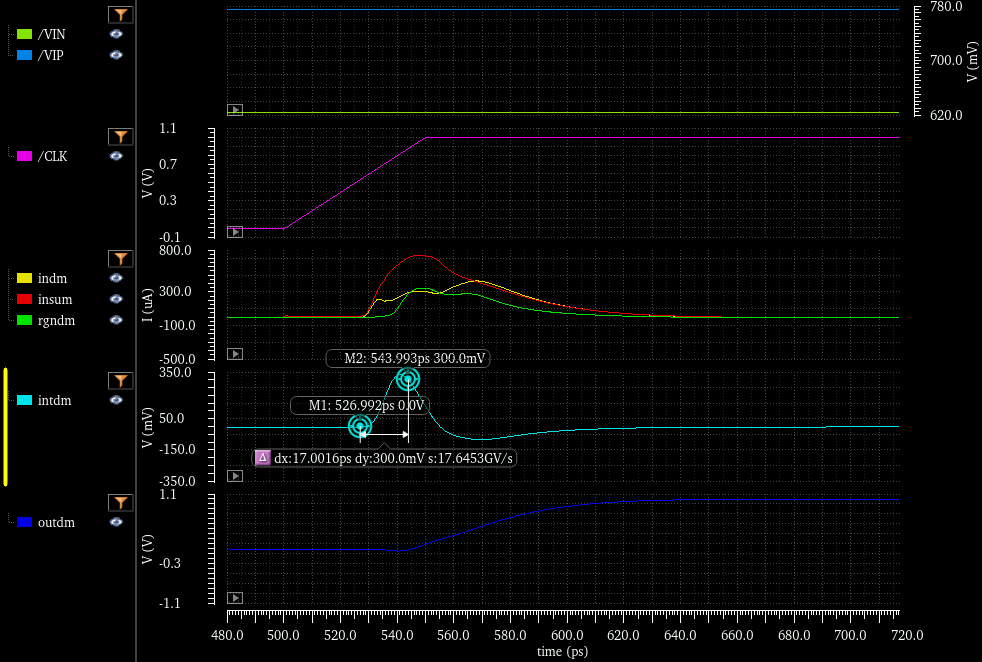
- 테스트벤치: Clk-q를 측정한 transient simulation

▶ Strong Arm latch schematic



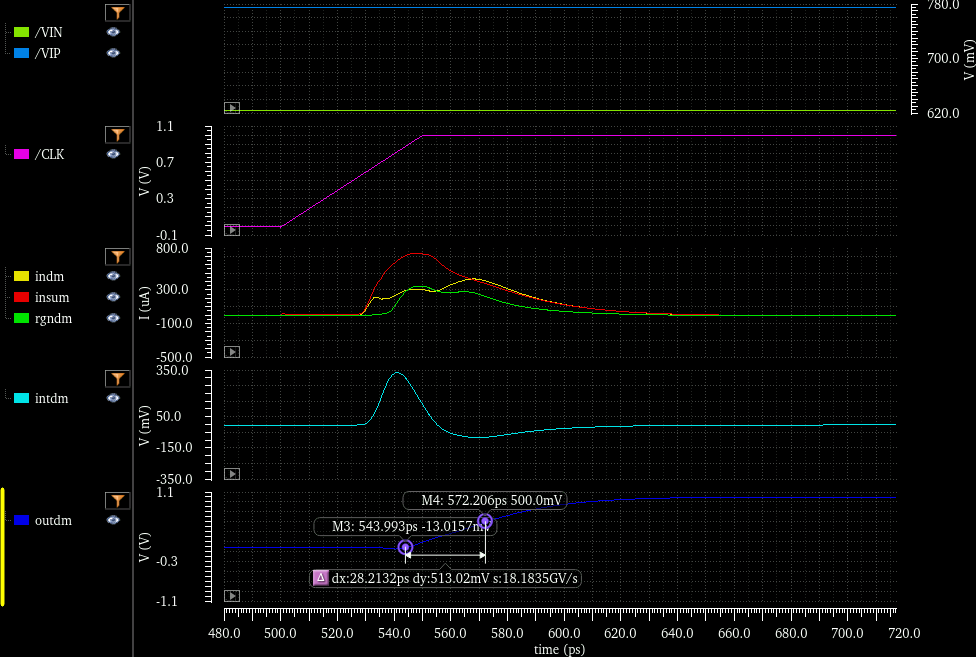
VDD = 1V, load cap = 8fF

▶ Sampling



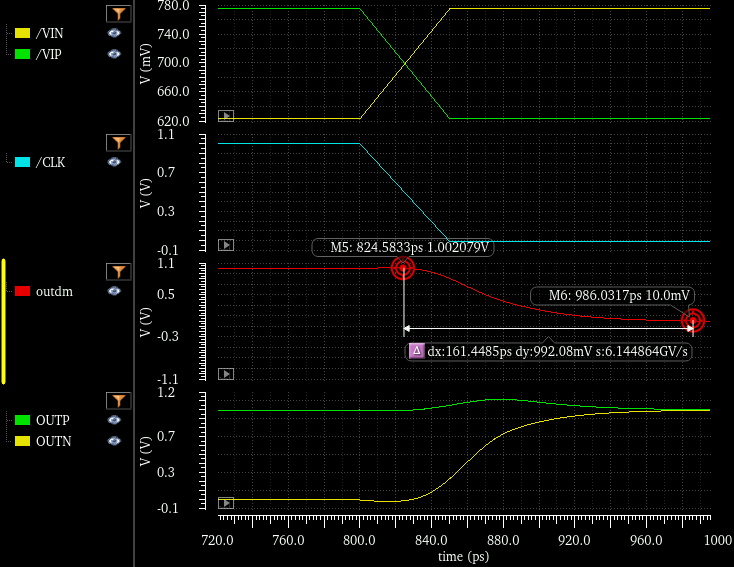
Sampling 단계에서 VIP, VIN노드 쪽 NMOS가 켜지면서 INTP, INTN노드에 전류가 흐르기 시작. Crossed-coupled inverter가 켜지기 전 상태이다.

▶ Regeneration



Regeneration NMOS가 켜지면서 output이 생겨나기 시작. Positive feedback을 거쳐서 OUTN과 OUTP의 차이가 1V로 수렴.

▶ Reset

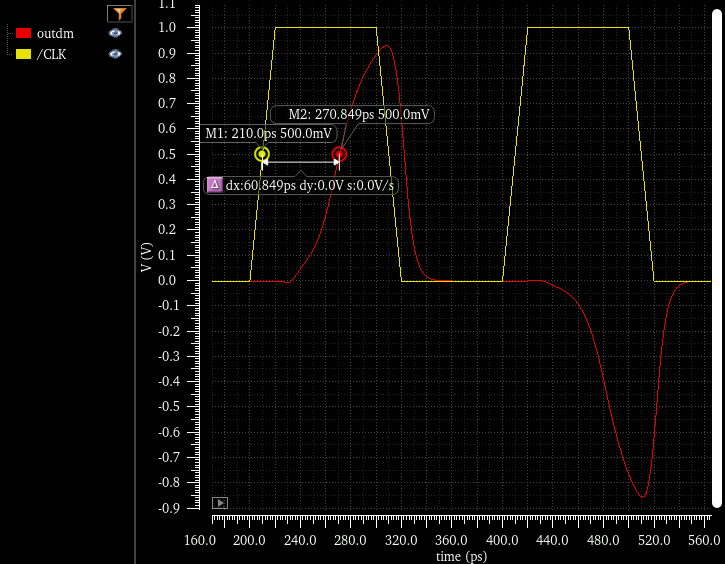


Reset NMOS들이 켜지면서 각 노드들이 1V로 reset이 된다.

▶ Sizing



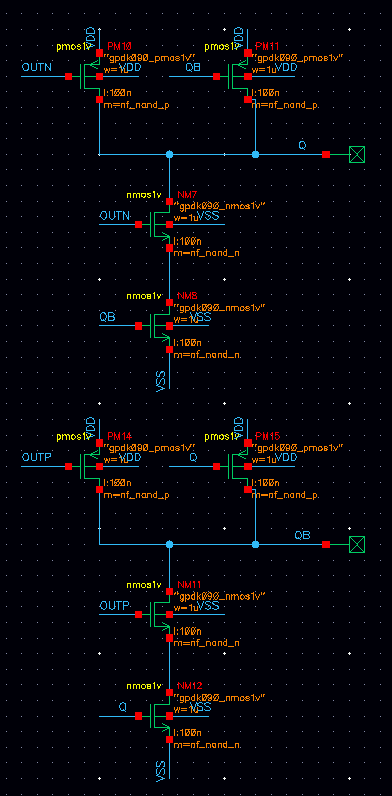
Operating frequency가 5GHz이므로 clock의 주기는 200ps로 하였고 vincm은 CTLE와 동일하게 설정. 각 NMOS의 number of finger는 sweep을 통해서 output이 900mV를 넘어가며 clock to q delay가 작아지는 방향으로 sizing 하였다. Nf가 차례대로 12, 6, 6, 3, 2일 때 output이 900mV가 넘어가지 않았으며 위의 사진처럼 nf\_in이 24이상일 때부터 900mV가 넘어감을 확인하였다. 900mV를 충분히 넘어가며 clk-q delay를 줄이기 위해 48, 24, 24, 12, 6로 sizing을 하였다.

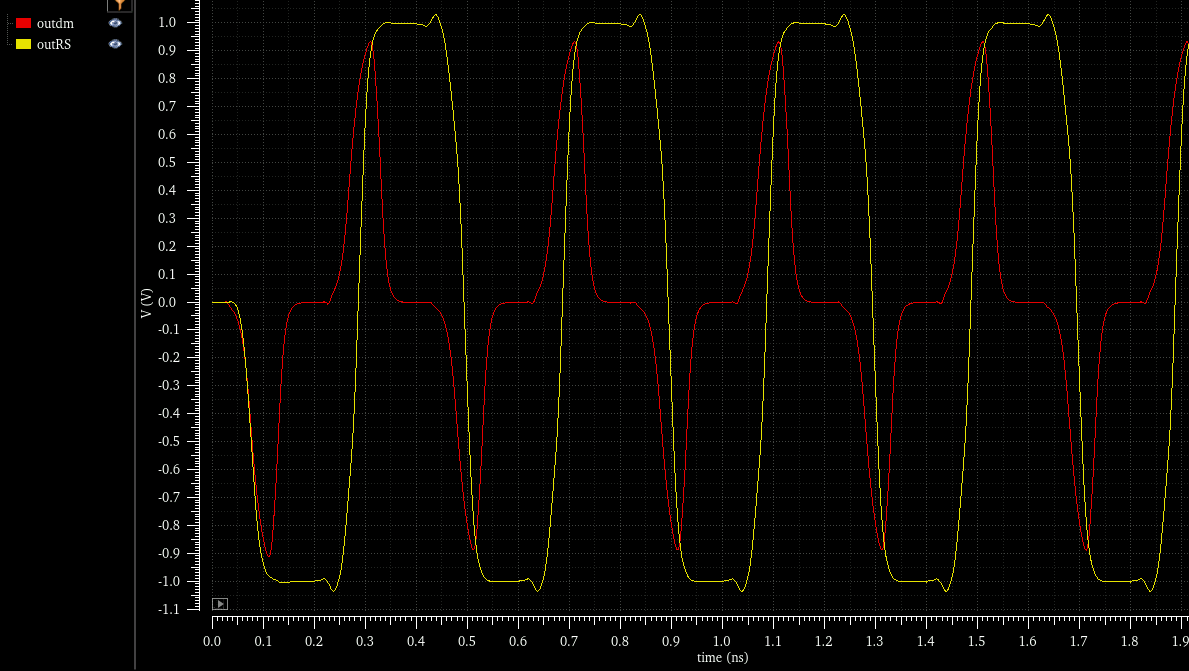


50% to 50%로 clk-q delay를 측정해본 결과 60.85ps가 나왔다.

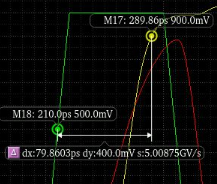
2. RS Latch 설계

위 Strong Arm latch에 RS latch를 연결하여 sampler를 설계하고 transient simulation으로 검증하시오.

 (NAND 2개를 이용하여 SR latch 설계)



SR latch를 달아준 결과 output이 return to zero signal에서 non return to zero signal로 바뀜을 확인하였다.

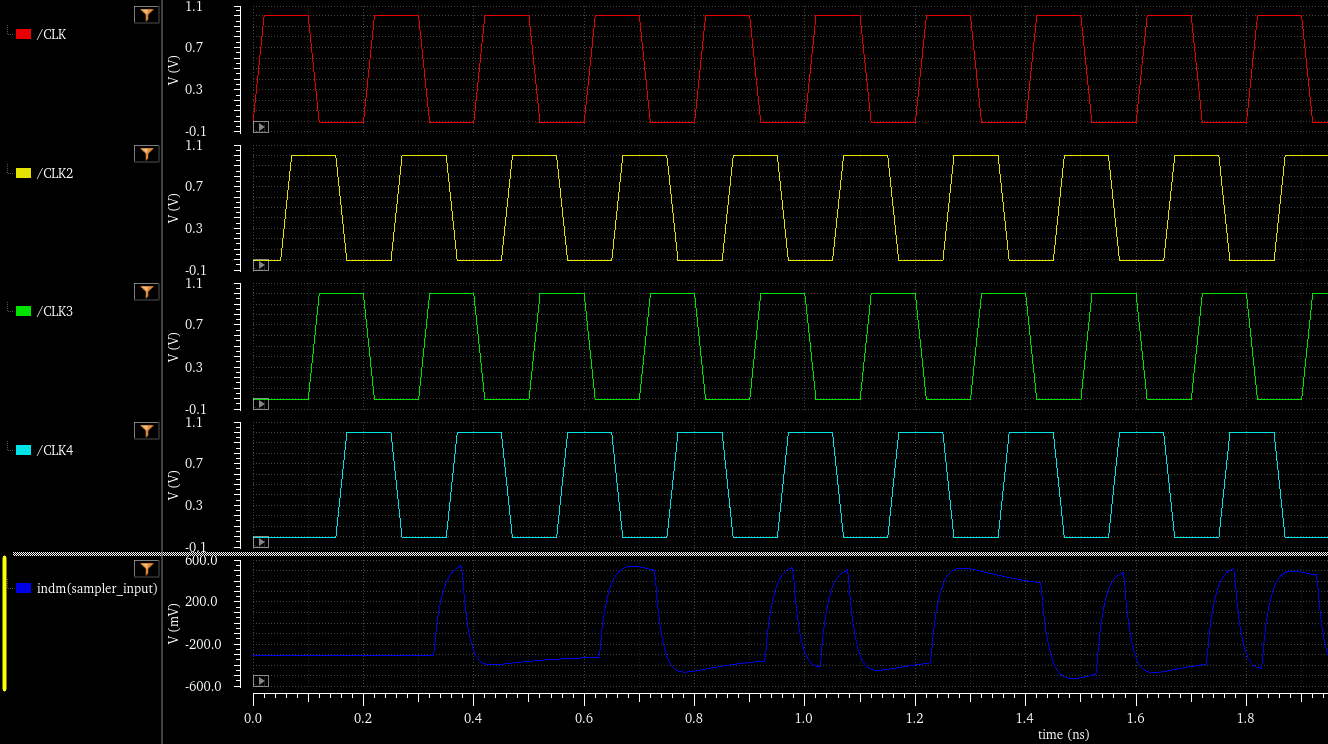


50% to 50% clk-q delay는 SR latch를 달아주지 않았을 때와 20ps 정도 차이를 보였으며 VDD의 90% 기준으로 delay를 측정하면 훨씬 길어지기 때문에 sizing을 많이 높인 다음 delay를 맞춰본 결과이다. NMOS size가 커지는 것은 막고자 50% to 50% clk-q delay 기준으로 sizing 하였다.

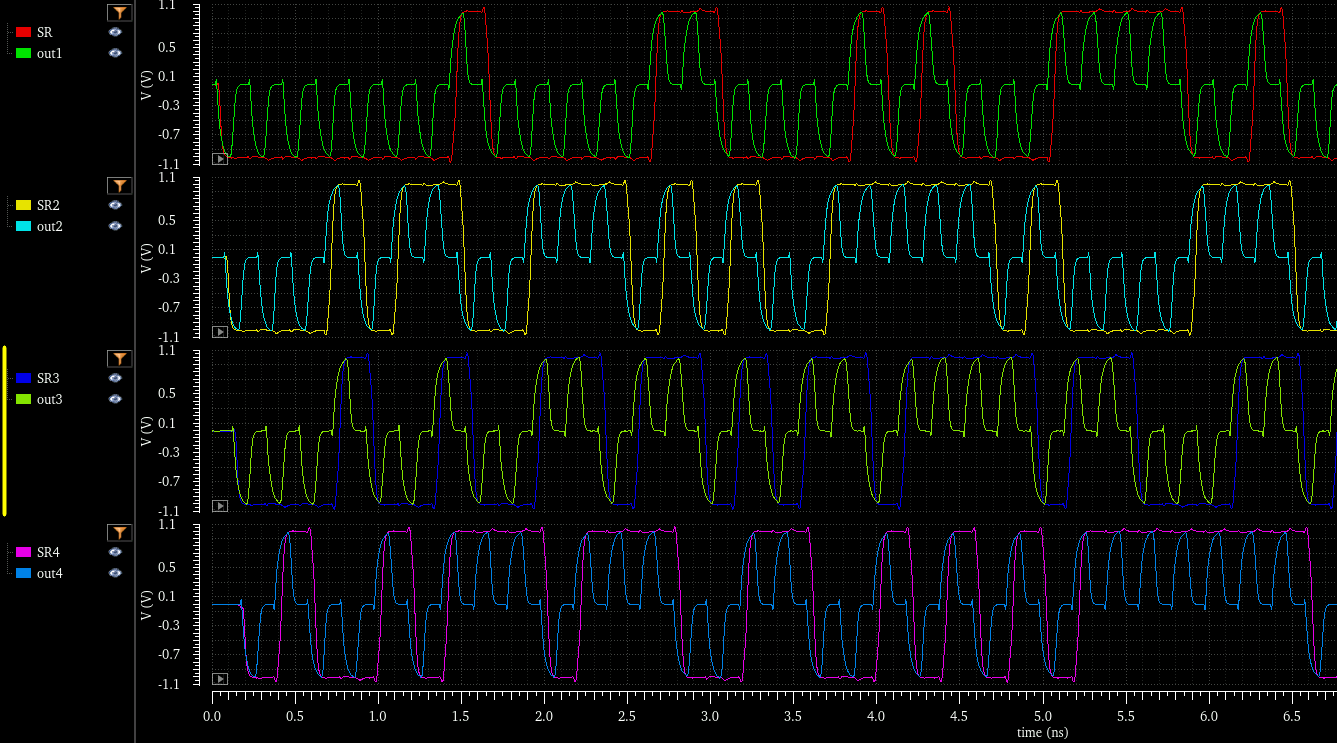
3. 수신기 종단부 설계

위 sampler를 interleaving 구조로 구성하고, 이전에 설계한 CTLE와 연결하여 20Gb/s로 동작하는 수신기 종단부 회로를 구성하고 transient simulation 검증하시오.

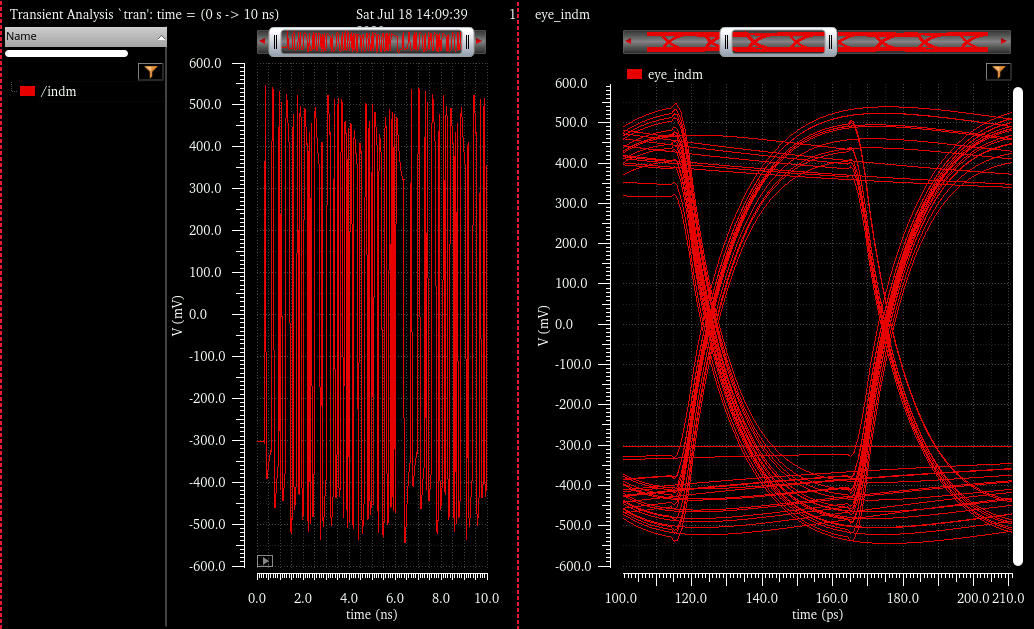
20Gb/s로 동작하기 위해서 위에서 설계한 5GHz에서 동작하는 sampler 4개를 이용하여 interleaving 구조로 sampler를 설계하고 CTLE를 이어 붙였다.



각 sampler에 주기200ps 인 clock을 달아주고 delay를 다르게 하여 합해보면 50ps, 즉 20GHz로 동작하게 만들었다. Indm은 CTLE를 통과하고 난 후의 신호로 sampling이 되는 신호다.



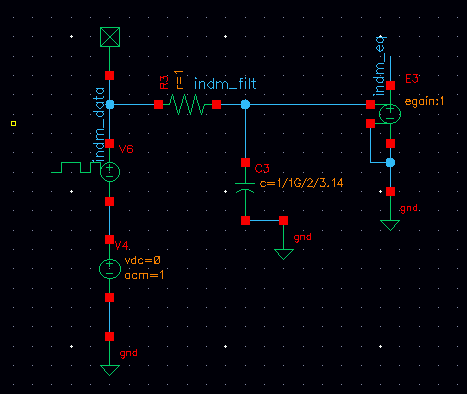
각 sampler에서 sampling이 된 결과를 나타내며 indm 신호를 각각 잘 sampling 했음을 확인할 수 있다.



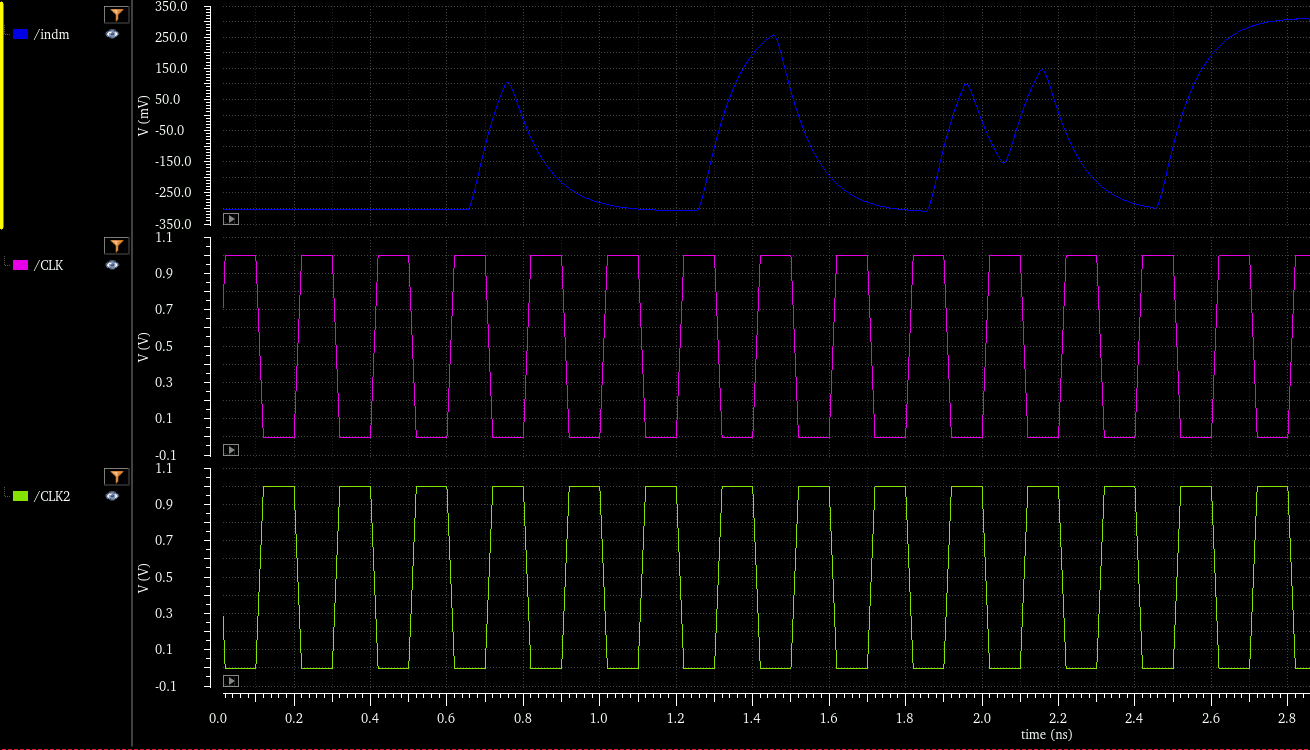
CTLE가 정상 동작함을 확인한 결과로 20Gb/s 신호가 CTLE를 잘 통과했으며 sampler로 들어감을 확인하였다.

4. 채널 연결

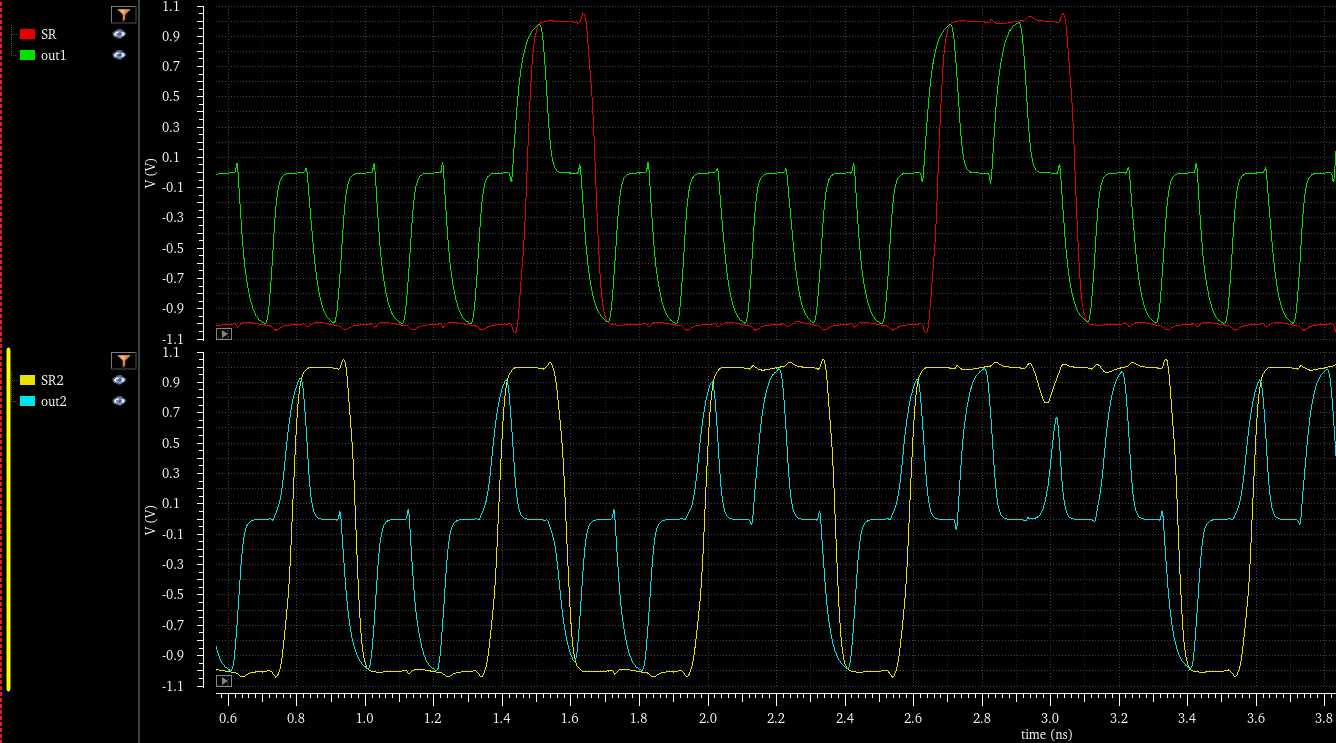
위 수신기 종단부 회로에 BW=1GHz 정도인 1-st order low-pass filter로 모델링되는 채널을 연결하고, 데이터를 인가하여 설계한 회로가 제대로 동작하는지 transient simulation 검증하시오.



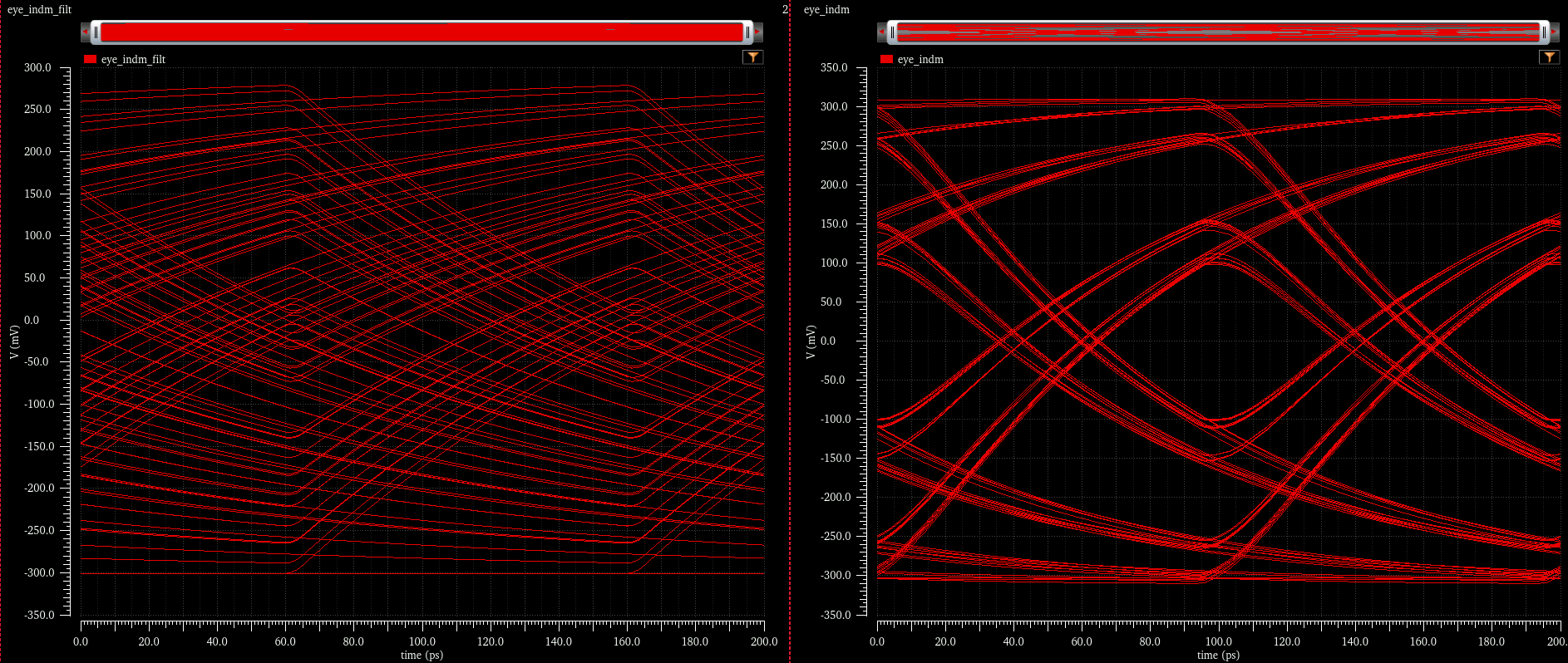
Resistor와 capacitor를 이용하여 BW=1GHz 정도인 1-st order low-pass filter로 모델링 된 Channel 설계하여 CTLE input에 붙여주었다.



3번 수신기 종단부 설계와 마찬가지로 결과를 확인하였고 1GHz 채널을 달아준 경우 CTLE를 통과하였을 때 20Gb/s는 loss가 크기에 10Gb/s 신호로 시뮬레이션을 진행하였다.



각 sampler에서 sampling이 된 결과를 나타내며 indm신호가 channel을 통과하며 loss가 있는 것으로 관찰되는데 일정 크기 이상의 indm 신호를 각각 잘 sampling 했음을 확인할 수 있다.



CTLE가 정상 동작함을 확인한 결과로 10Gb/s 신호가 CTLE를 잘 통과했으며 sampler로 들어감을 확인하였다.

왼쪽은 channel을 통과했을 때의 eye diagram이며 오른쪽이 CTLE를 통과하여 복원된 eye diagram이다.